

Patent



IPW

Customer No. 31561
Application No.: 10/710,301
Docket No. 11574-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Huang
Application No. : 10/710,301
Filed : Jul 01, 2004
For : WAFER LEVEL PASSIVE COMPONENT
Examiner :
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92117925, filed on: 2003/7/1.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Nov. 10, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

**7F-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.**

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

BEST AVAILABLE COPY



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder.

申請日：西元 2003 年 07 月 01 日
Application Date

申請案號：092117925
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 7 月 23
Issue Date

發文字號：09320700540
Serial No.

CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

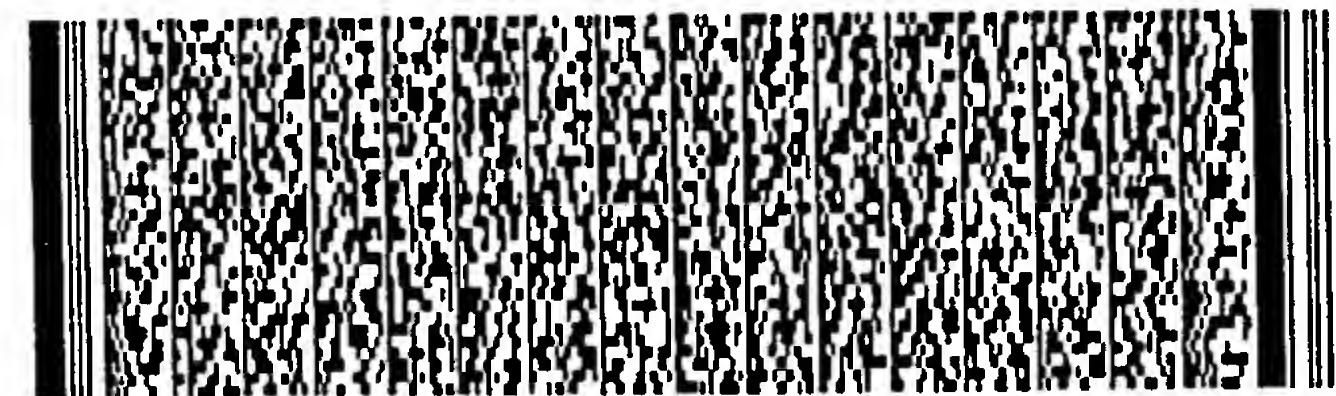
申請日期： IPC分類

申請案號：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	晶圓級被動元件
	英文	WAFER LEVEL PASSIVE COMPONENT
二、 發明人 (共1人)	姓名 (中文)	1. 黃敏龍
	姓名 (英文)	1. Min-Lung Huang
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄市三民區鼎勇街33巷2弄8號10樓
	住居所 (英 文)	1. 10F, No. 8, Alley 2, Lane 33, Ting-yung St., San-min Chu, Kaohsiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
代表人 (中文)	1. 張虔生	
代表人 (英文)	1. Chien-Sheng Chang	



11574twf ptd

四、中文發明摘要 (發明名稱：晶圓級被動元件)

一種晶圓級被動元件係直接形成於晶片之主動表面，並利用兩導電圖案及一介電圖案之搭配來形成電容，並電性連接至晶片之晶片墊。因此，晶片之內部電路將可直接連接至其主動表面之晶圓級被動元件，故可有效提升晶片之電性效能。

伍、(一)、本案代表圖為：第 1 圖

(二)、本案代表圖之元件代表符號簡單說明：

10：晶片

12：主動表面

14：保護層

16a、16b：晶片墊

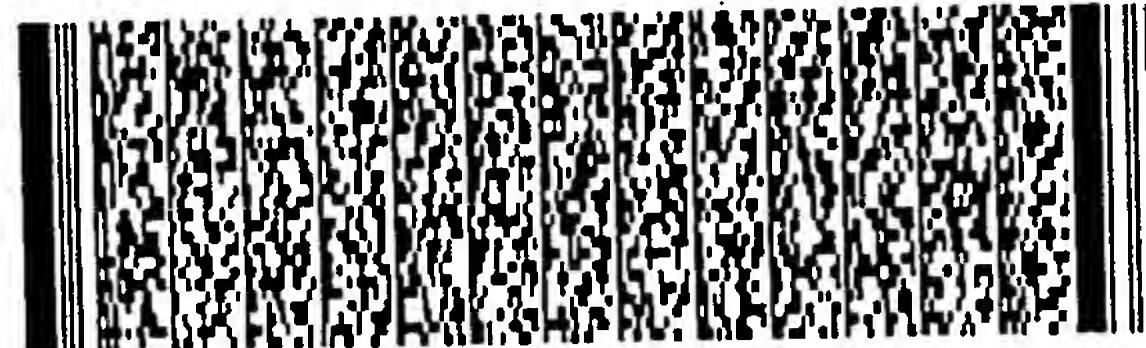
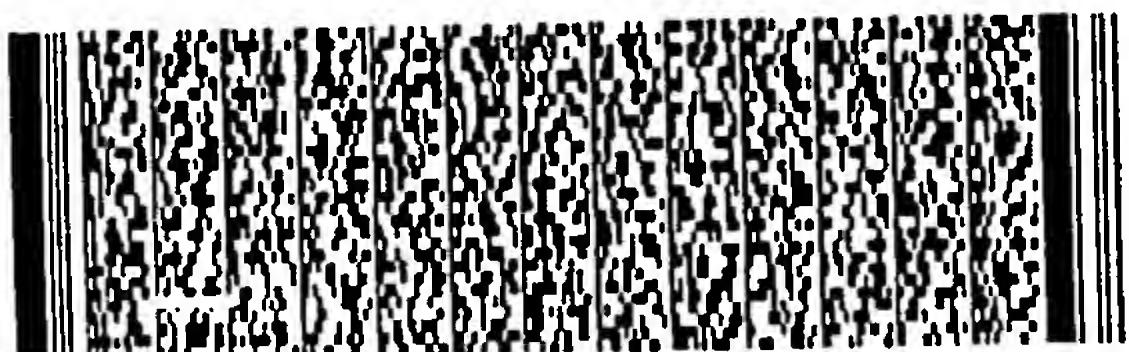
18：介電層

100：晶圓級被動元件

110：第一導電圖案

六、英文發明摘要 (發明名稱：WAFER LEVEL PASSIVE COMPONENT)

A wafer level passive component is directly formed on the active surface of a chip. The passive component forms capacitance and connects the die pads of the chip by two conductive patterns and a dielectric pattern. Therefore, the inner circuit of the chip connects the passive component on the active surface thereof such that the electrical performance of the chip can be

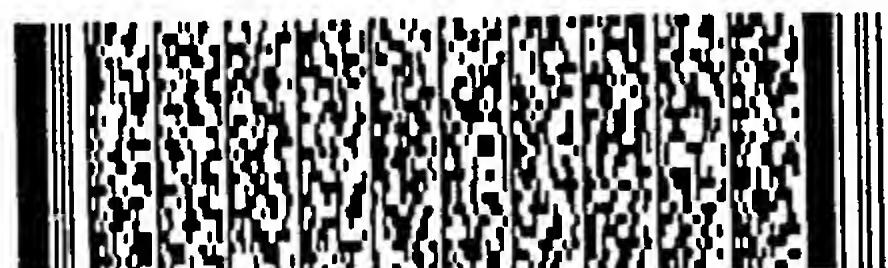


四、中文發明摘要 (發明名稱：晶圓級被動元件)

112 : 第一接合區域
114 : 第一重疊區域
120 : 介電圖案
130 : 第二導電圖案
132 : 第二接合區域
134 : 第二重疊區域

六、英文發明摘要 (發明名稱：WAFER LEVEL PASSIVE COMPONENT)

raised effectively.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

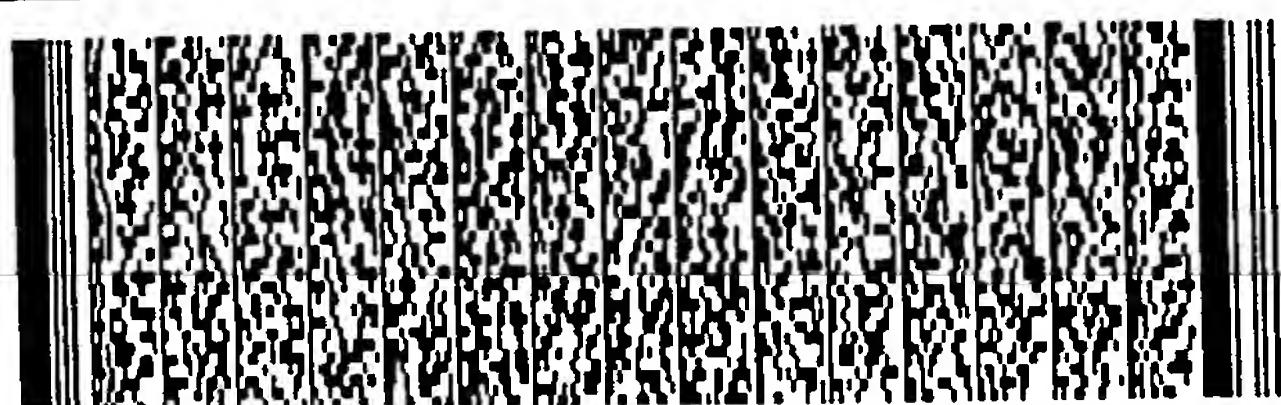
【發明所屬之技術領域】

本發明是有关於一種被動元件 (passive component)，且特別是有关於一種晶圓級 (wafer level) 被動元件。

【先前技術】

覆晶接合技術 (Flip Chip Bonding Technology) 主要是利用面陣列 (area array) 的排列方式，在晶片 (die) 之主動表面 (active surface) 上配置多個晶片墊 (die pad)，並分別在這些晶片墊上形成凸塊 (bump)，接著在將晶片翻面 (flip) 之後，可利用晶片之晶片墊上的凸塊來電性 (electrically) 及結構性 (structurally) 連接至承載器 (carrier) 之表面上的凸塊墊 (bump pad)，其中承載器例如是基板 (substrate) 或是印刷電路板 (print circuit board, PCB) 等。值得注意的是，由於覆晶接合技術可應用於高接腳數 (High Pin Count) 之晶片封裝結構，並具有縮小封裝面積及縮短訊號傳輸路徑等諸多優點，使得覆晶接合技術目前已被廣泛地應用在晶片封裝領域。

為了符合晶片封裝結構之整體的電性設計，覆晶封裝基板之表面上更可配置多個被動元件，例如電容器 (capacitor)、電感器 (inductor) 及電阻器 (resistor) 等，並且這些被動元件更可藉由覆晶封裝基板之內部線路，而電性連接至晶片或其他電子元件。換句話說，晶片係可經由凸塊及覆晶封裝基板之內部線路，而

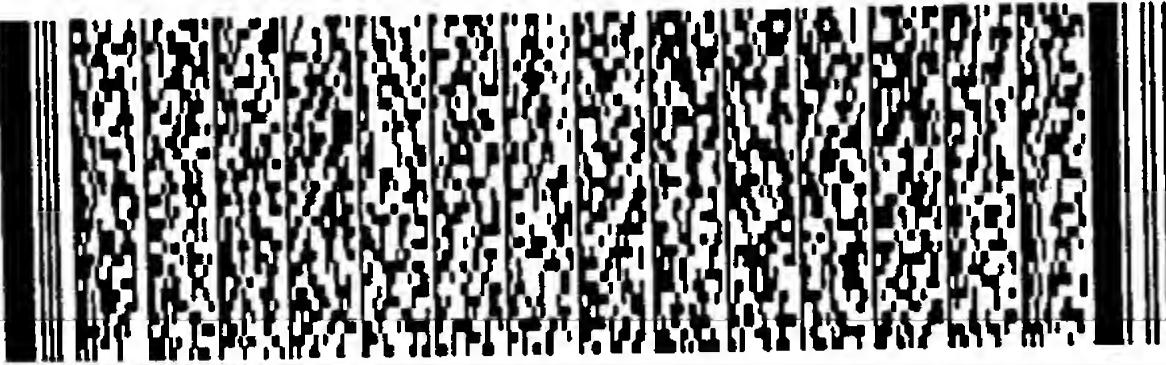


五、發明說明 (2)

電性連接至這些被動元件。

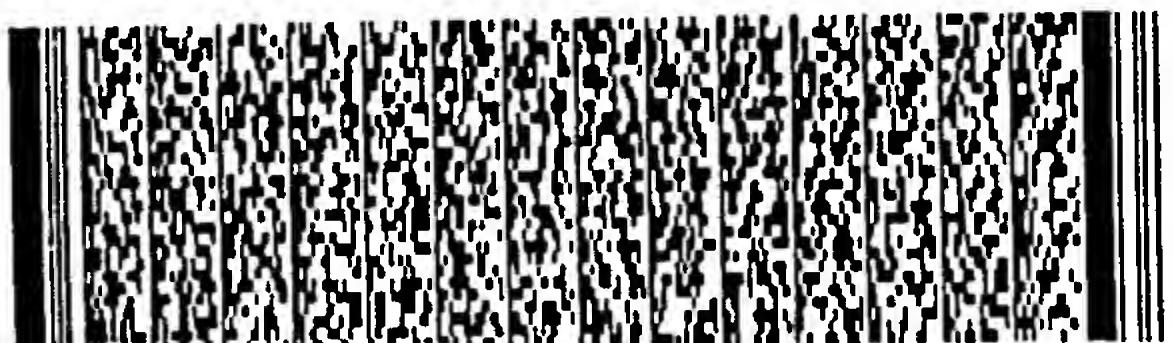
效動內對內效
電的板此利用電
高片基因，其
提晶裝。言高
能夠到封件而提
板連覆動元件地
能接晶元件地
基接及被動有效
裝直塊之被法
封些凸應之無
晶某過對片仍
覆於經些晶板
元件是依至接裝
之對序這至基
動，必須接連封
被本仍性電覆
有成片電應之
建程晶能對件
內製，始須元
的雖降而路些被
及件線某有。
能元部於建能

【發明內容】



【實施方式】

請參考第1、2圖，其中第1圖繪示本發明之較佳實施例之一種晶圓級被動元件，其應用於晶片的剖面示意圖，而第2圖繪示本發明之較佳實施例之一種晶圓級被動元件



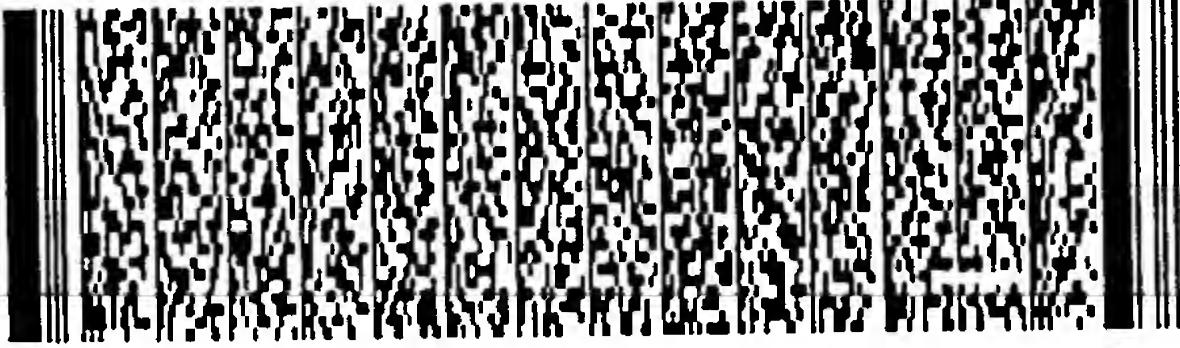
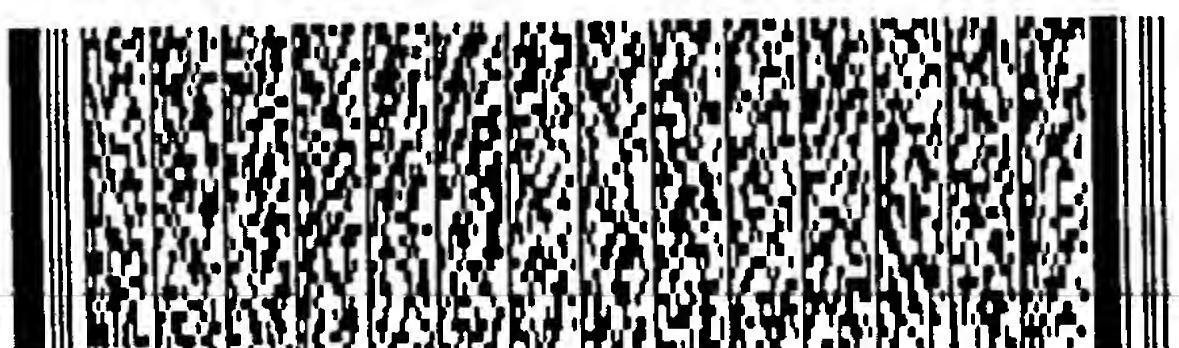
五、發明說明 (4)

的俯視示意圖。

請參考第1圖，晶片10具有一主動表面12，其係泛指晶片10之具有主動元件的一面。此外，晶片10更具有一第一晶片墊16a及一第二晶片墊16b，其配置於晶片10之主動表面12上。另外，晶片10尚具有一保護層14，其配置於晶片10之主動表面12之上，且暴露出上述之第一晶片墊16a及第二晶片墊16b。因此，當採用覆晶連線技術將晶片10電性連接至外界時，可將覆晶凸塊（未繪示）配置於晶片10之晶片墊（例如第一晶片墊16a及第二晶片墊16b），接著在翻覆晶片10之後，將晶片10經由覆晶凸塊而電性及結構性地連接至覆晶封裝基板。

本較佳實施例之晶圓級被動元件100包括一第一導電圖案110、一介電圖案120及一第二導電圖案130。首先，第一導電圖案110係配置於晶片10之主動表面12之上，且第一導電圖案110具有一第一接合區域112及一第一重疊區域114，其中第一接合區域112係連接於第一晶片墊16a，而第一重疊區域114則配置於保護層14之上。此外，介電圖案120係配置於第一導電圖案110之第一重疊區域114之上。另外，第二導電圖案130係配置於晶片10之主動表面12之上，並具有一第二接合區域132及一第二重疊區域134，其中第二接合區域132係連接於第二晶片墊16b，而第二重疊區域134則配置於介電圖案120之上，且至少局部之第二重疊區域134係重疊於第一重疊區域114之上方。

就晶圓級被動元件100之製作過程而言，可先形成第

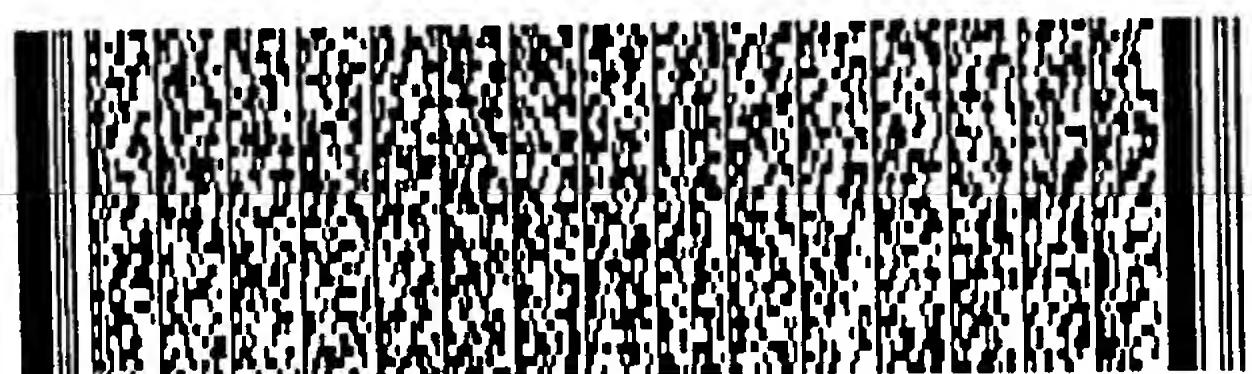


五、發明說明 (5)

一導電圖案110，其中第一導電圖案110之第一接合區域112係連接於第一晶片墊16a，而第一導電圖案110之第一重疊區域114則配置於保護層14之上。接著，形成一介電圖案120於第一重疊區域114之上，其中介電圖案120之材質可由高介電常數之材質所構成，例如氧化鋁等，且介電圖案120更可直接與介電層18一體成型，或是單獨製作皆可，其中介電層18更暴露出第二晶片墊16b。之後，形成第二導電圖案130於主動表面12之上，其中第二導電圖案130之第二接合區域132係連接至第二晶片墊16b，而第二導電圖案130之第二重疊區域134則對應第一重疊區域114，而配置於介電圖案120之上方。

值得注意的是，為了提供一良好的接合媒介於覆晶凸塊與晶片墊之間，通常會在晶片墊上形成凸塊底金屬層 (Under Bump Metallurgy, UBM)，凸塊底金屬層通常係由多層不同特性之金屬層所構成。因此，如第1圖所示，晶圓級被動元件100之第一導電圖案110及第二導電圖案130亦可直接由晶片10之凸塊底金屬層（未繪示）來加以製作。

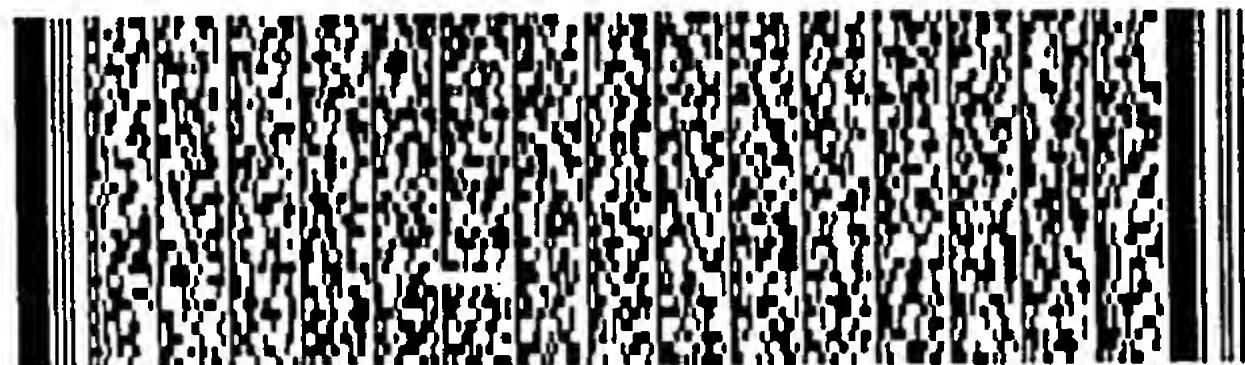
綜上所述，本發明乃是將晶圓級被動元件直接形成於搭晶片之主動表面上，並利用兩導電圖案及一片晶片之兩晶片之內部電路將可直接連接至其主動表面之晶圓級被動元件，而無須經過外界之凸塊及覆晶封裝基板之內部線路，來連接至覆晶封裝基板之外加或內建的被動元件，故可有



五、發明說明 (6)

效提升晶片之電性效能。除此之外，本發明之晶圓級被動元件除可應用在覆晶封裝結構之覆晶晶片以外，更可適於一主動表面上具有重佈線層 (redistribution layer) 之晶片，並直接將本發明之晶圓級被動元件形成於晶片之重佈線層中。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示本發明之較佳實施例之一種晶圓級被動元件，其應用於晶片的剖面示意圖。

第2圖繪示本發明之較佳實施例之一種晶圓級被動元件的俯視示意圖。

【圖式標示說明】

- 10 : 晶片
- 12 : 主動表面
- 14 : 保護層
- 16a、16b : 晶片墊
- 18 : 介電層
- 100 : 晶圓級被動元件
- 110 : 第一導電圖案
- 112 : 第一接合區域
- 114 : 第一重疊區域
- 120 : 介電圖案
- 130 : 第二導電圖案
- 132 : 第二接合區域
- 134 : 第二重疊區域

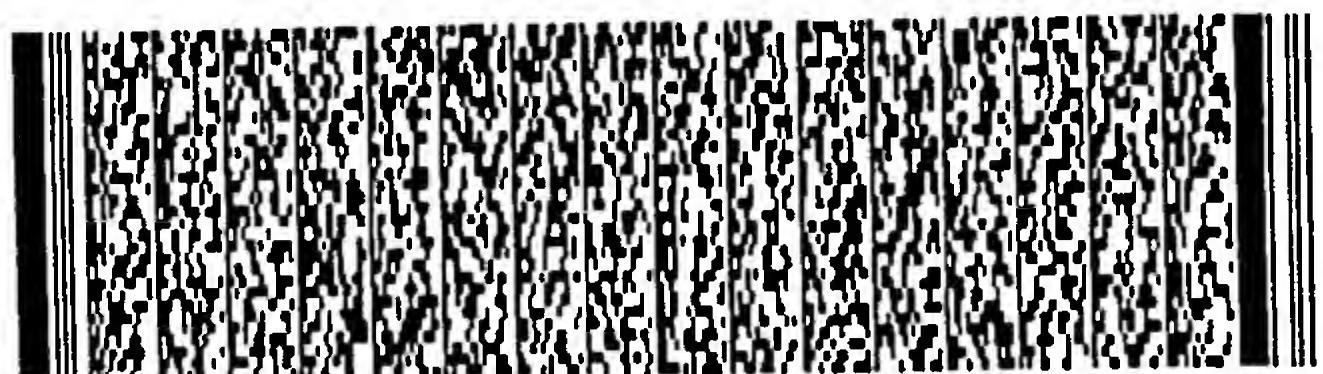


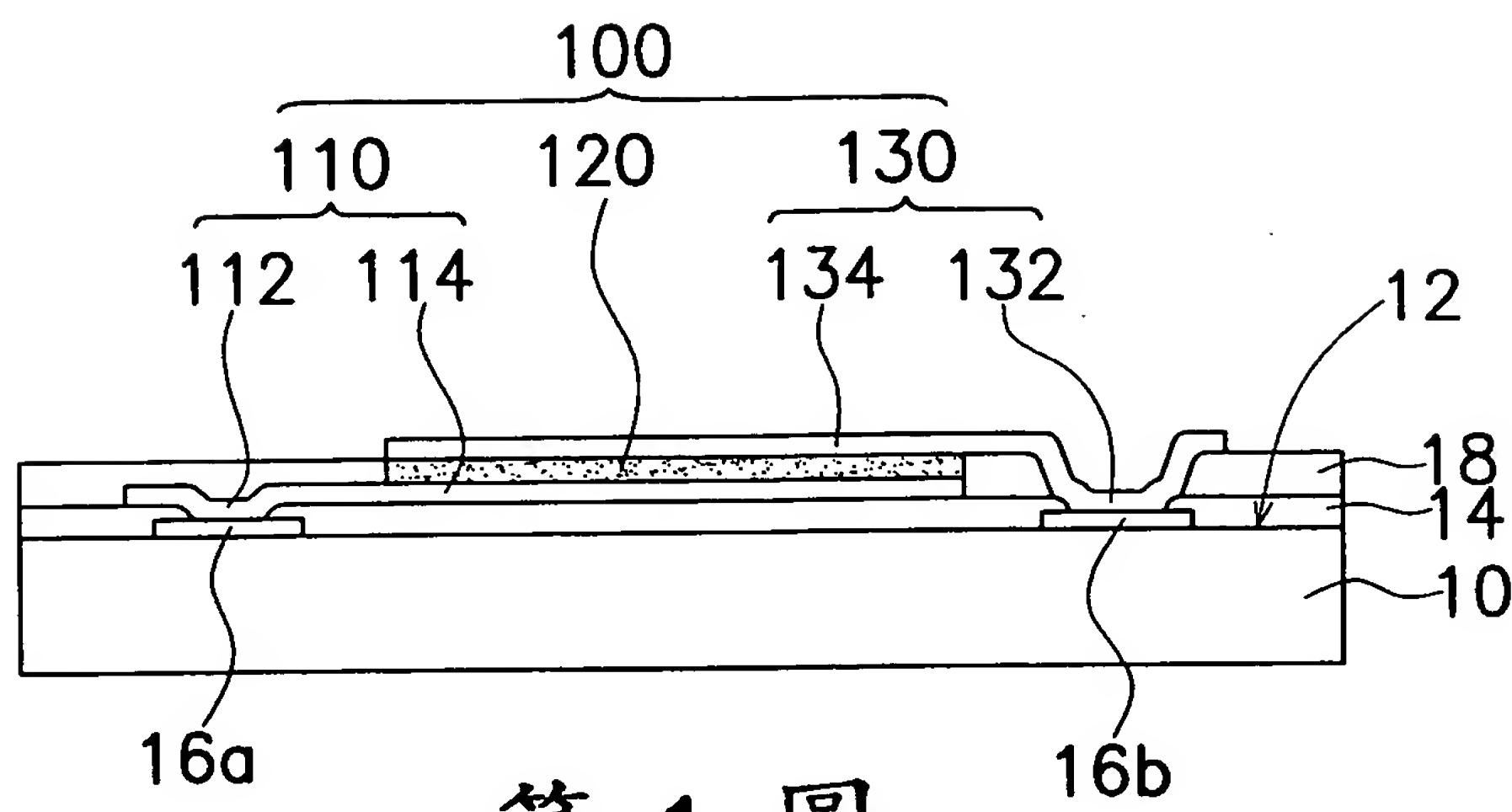
六、申請專利範圍

2. 如申請專利範圍第1項所述之晶圓級被動元件，其中該第一導電圖案係由至少一金屬層所堆疊而成。

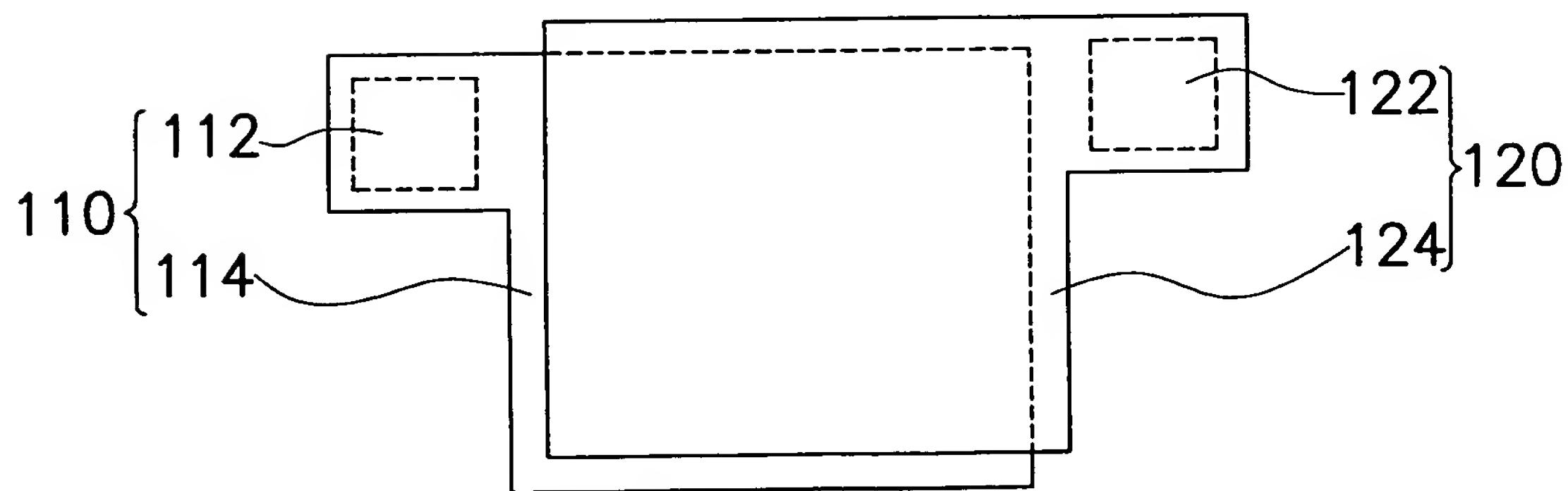
3. 如申請專利範圍第1項所述之晶圓級被動元件，其中該第二導電圖案係由至少一金屬層所堆疊而成。

4. 如申請專利範圍第1項所述之晶圓級被動元件，其中該介電圖案之材質包括氧化鋁。



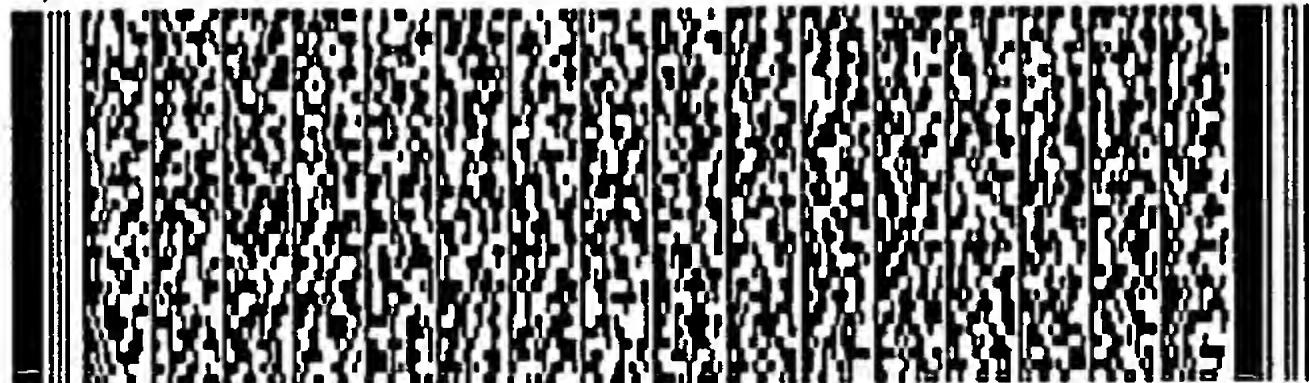


第 1 圖

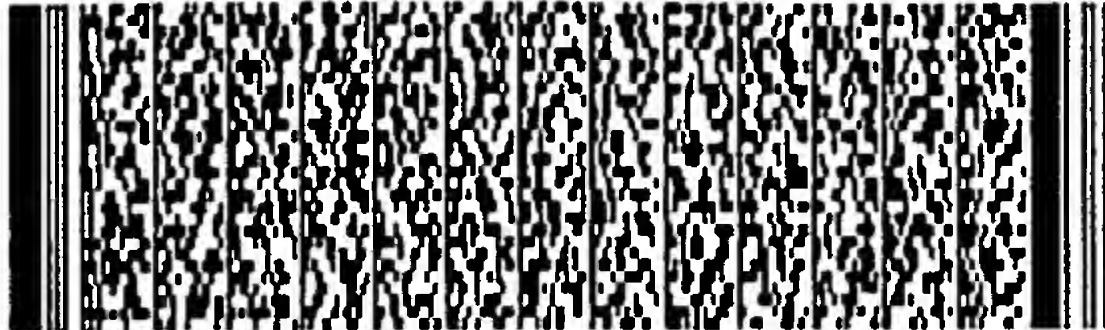


第 2 圖

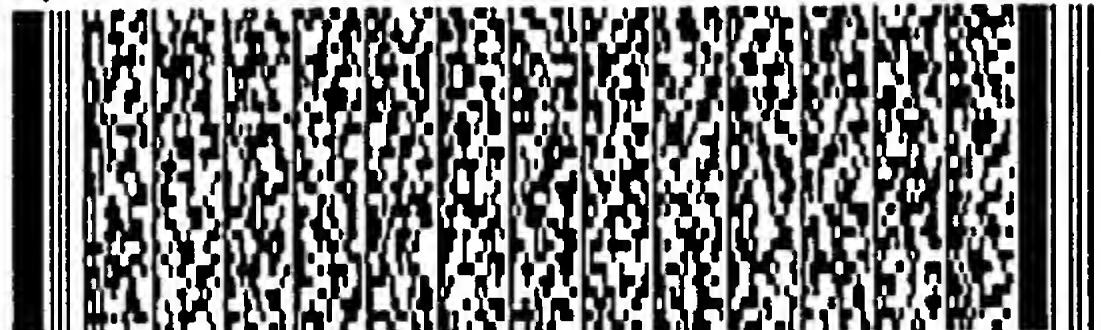
第 1/12 頁



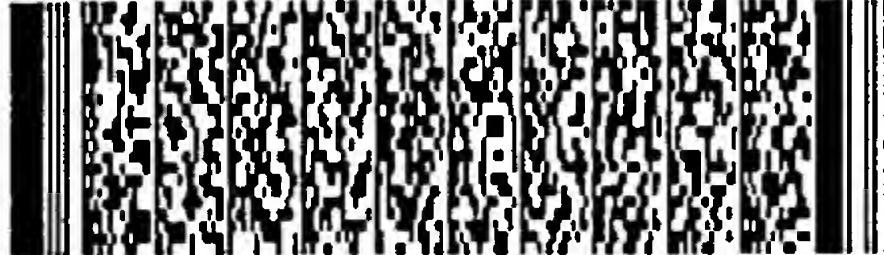
第 2/12 頁



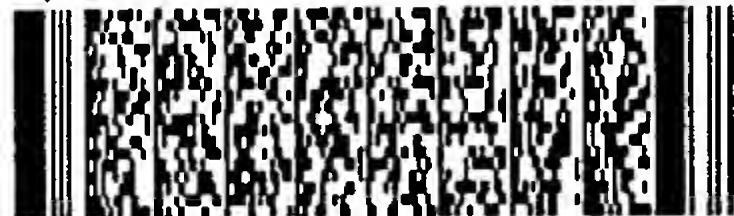
第 2/12 頁



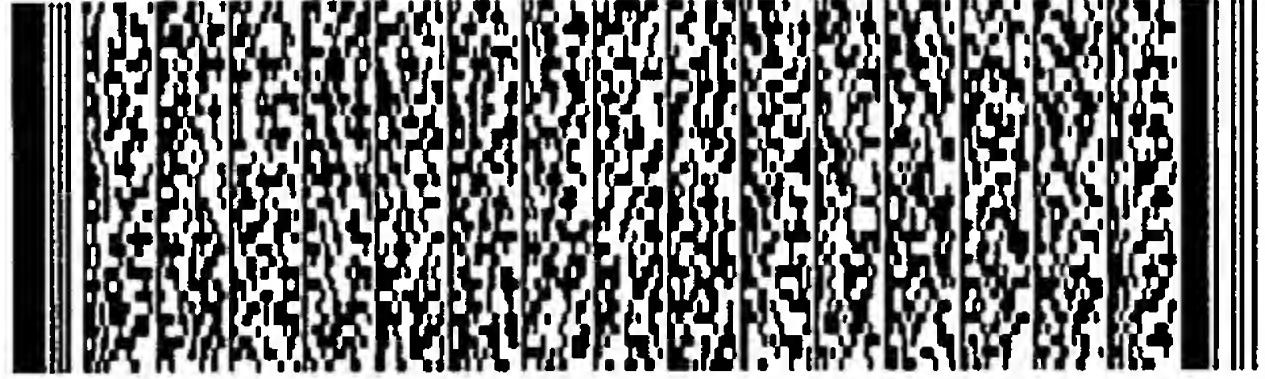
第 3/12 頁



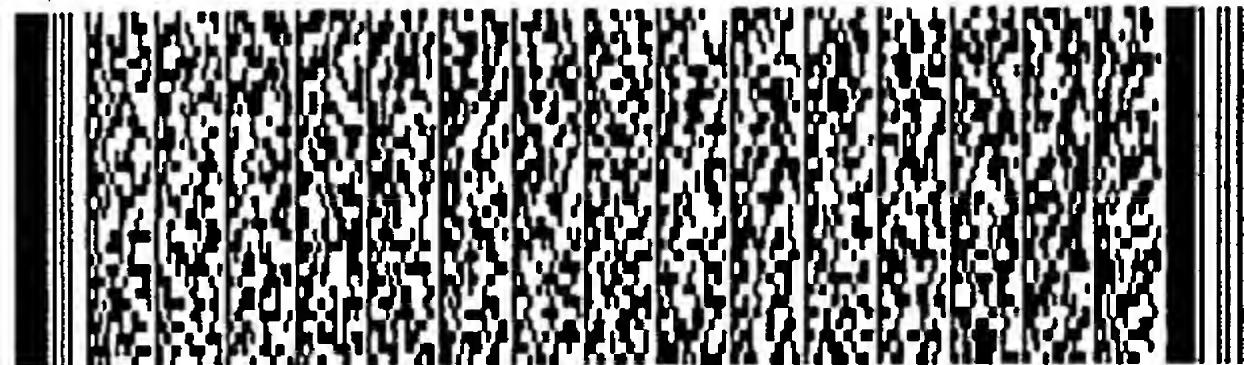
第 4/12 頁



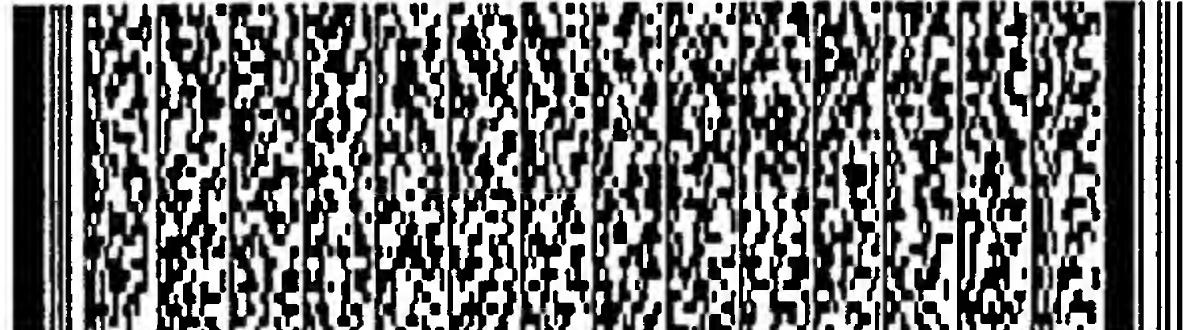
第 5/12 頁



第 5/12 頁



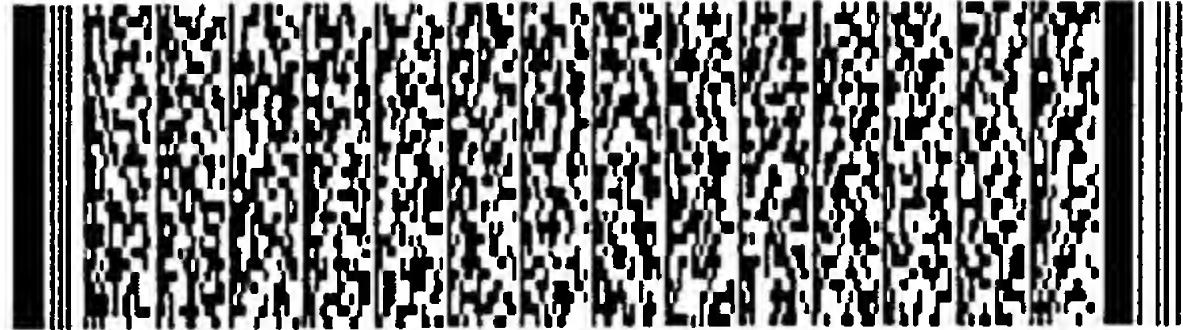
第 6/12 頁



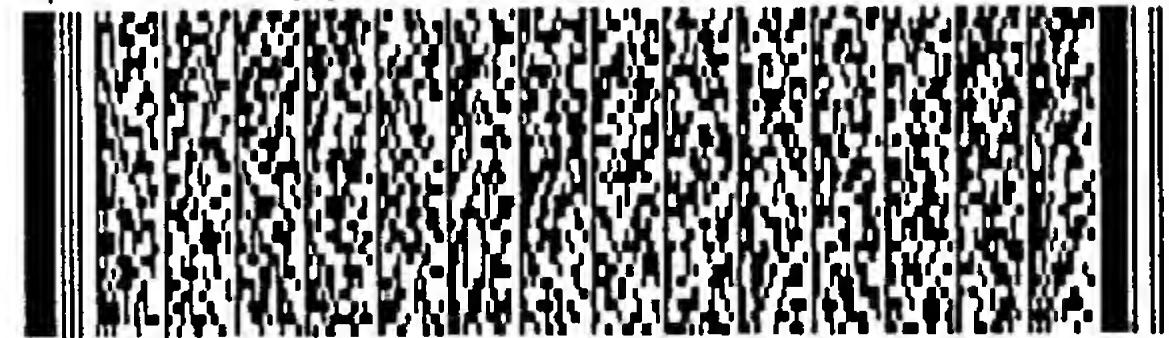
第 6/12 頁



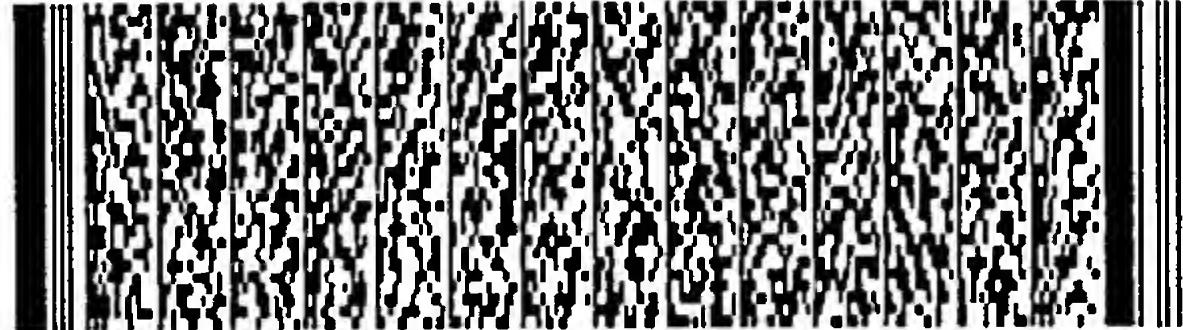
第 7/12 頁



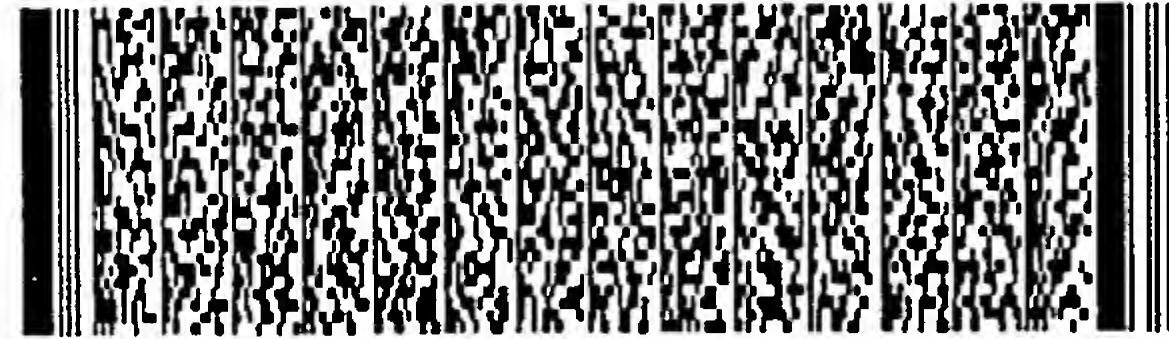
第 7/12 頁



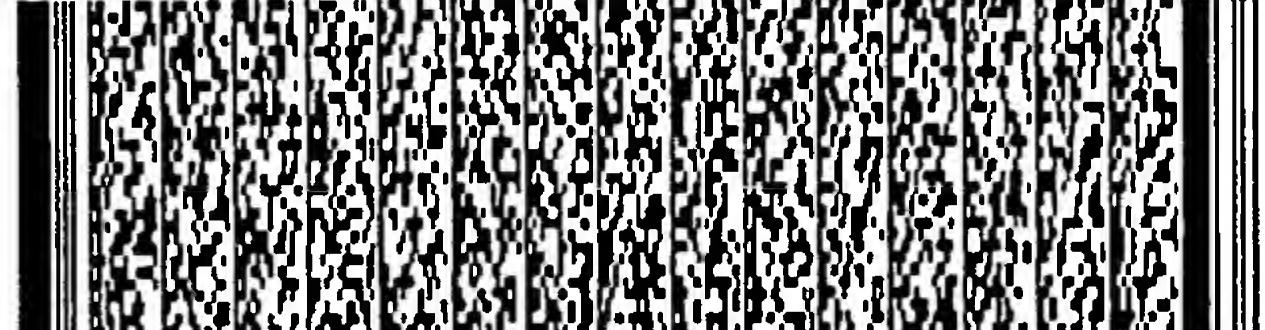
第 8/12 頁



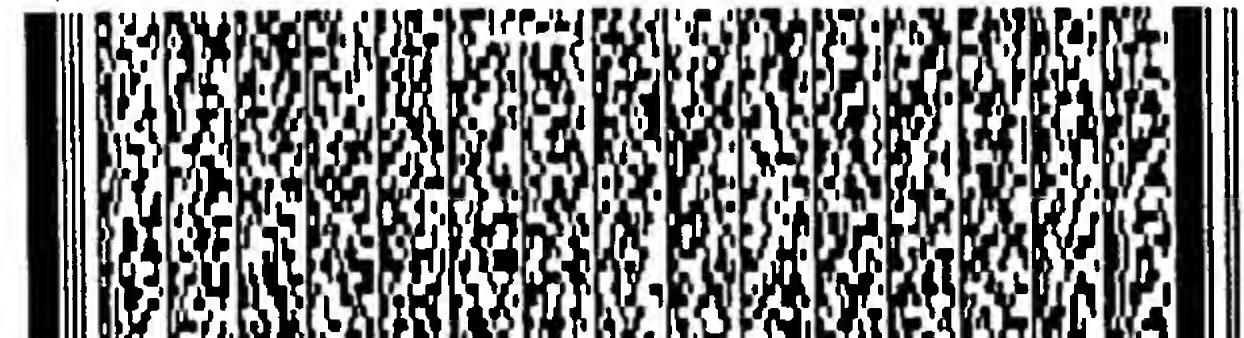
第 8/12 頁



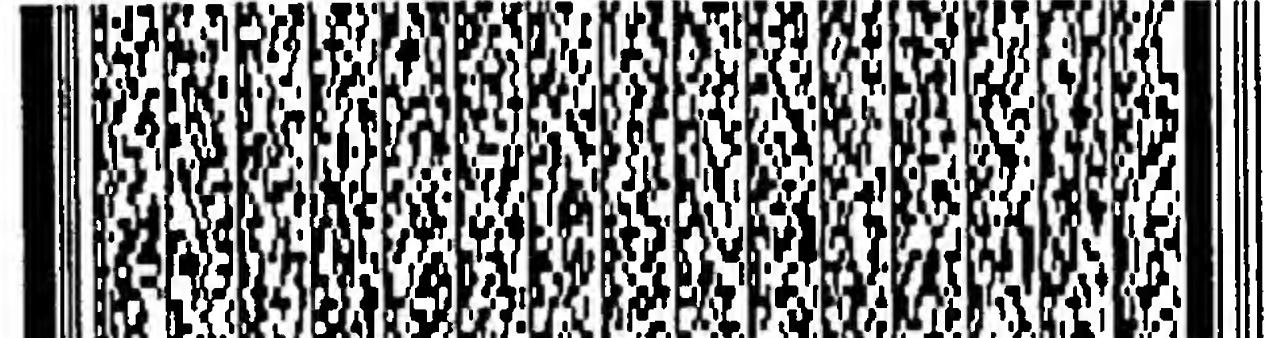
第 9/12 頁



第 9/12 頁



第 10/12 頁



第 11/12 頁



第 12/12 頁



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: Bar Codes**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.